

## (12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2004年3月11日 (11.03.2004)

PCT

(10) 国際公開番号  
WO 2004/021656 A1

(51) 国際特許分類7: H04L 25/02, 25/40, G09G 3/36

(21) 国際出願番号: PCT/JP2003/010884

(22) 国際出願日: 2003年8月27日 (27.08.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願2002-248086 2002年8月28日 (28.08.2002) JP

(71) 出願人(米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP).

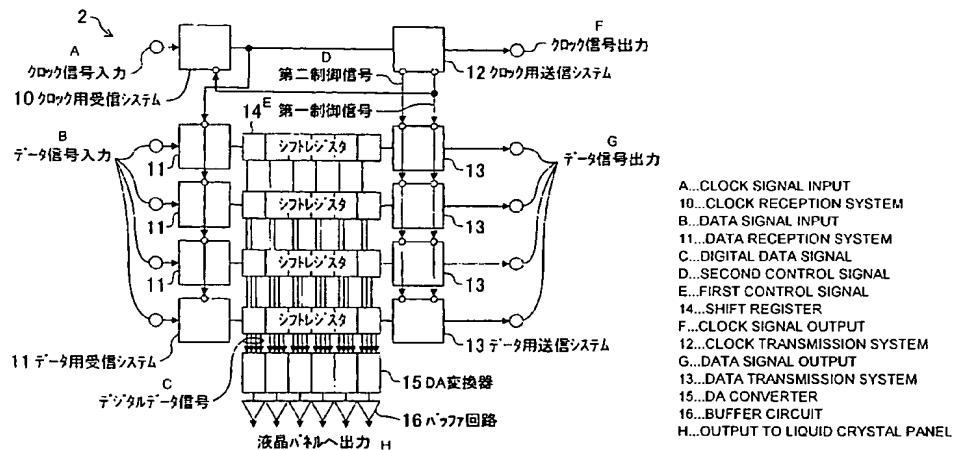
(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 道正志郎 (DOSHO,Shiro) [JP/JP]; 〒563-0024 大阪府池田市鉢塚3-3-5-202 Osaka (JP). 德永祐介 (TOKUNAGA,Yusuke) [JP/JP]; 〒567-0875 大阪府茨木市若草町8-7-112 Osaka (JP). 土居康之 (DOI,Yasuyuki) [JP/JP]; 〒617-0824 京都府長岡京市天神5-17-1 Kyoto (JP). 中川博文 (NAKAGAWA,Hiroyumi) [JP/JP]; 〒612-8487 京都府京都市伏見区羽東師範町60-2-203 Kyoto (JP). 伊達義人 (DATE,Yoshito) [JP/JP]; 〒520-0105 滋賀県大津市下阪本6-25-17-315 Shiga (JP). 大森哲郎 (OHMORI,Tetsuro) [JP/JP]; 〒573-1155 大阪府枚方市招南町1-31-3 Osaka (JP). 西川香 (NISHIKAWA,Kaori) [JP/JP]; 〒557-0055 大阪府大阪市西成区千本南2-6-8-201 Osaka (JP).

(統葉有)

(54) Title: DATA TRANSMISSION/RECEPTION SYSTEM

(54) 発明の名称: データ送受信システム



(57) **Abstract:** When a clock signal and a plurality of data signals synchronized with the clock signal are transferred, a clock transmission system (12) feedback-controls the driver switch drive pulse width so that the clock signal is transmitted with a small amplitude and the control signal of the pulse width is used for controlling the driver switch in each data transmission system (13), thereby simultaneously realizing small amplitude transmission of each data signal. Furthermore, a clock reception system (10) applies the control signal of the aforementioned pulse width to delay control of a clock delay circuit, so as to realize an optimal latch timing of reception data in each data reception system (11).

(57) **要約:** クロック信号と該クロック信号に同期した複数のデータ信号とを転送するにあたり、クロック用送信システム(12)にてドライバスイッチの駆動パルス幅をフィードバック制御することでクロック信号を小振幅で送信し、そのパルス幅の制御信号を各データ用送信システム(13)中のドライバスイッチの制御に用いることで、各データ信号の小振幅伝送をも同時に実現する。更に、クロック用受信システム(10)にて前記パルス幅の制御信号をクロック遅延回路の遅延制御に適用することで、各データ用受信システム(11)における受信データの最適なラッチタイミングを実現する。

WO 2004/021656 A1



(74) 代理人: 前田 弘, 外(MAEDA, Hiroshi et al.); 〒550-0004 大阪府 大阪市 西区鞠本町 1 丁目 4 番 8 号 本町 中島ビル Osaka (JP). 添付公開書類:  
— 國際調査報告書

(81) 指定国(国内): CN, JP, KR, US.

(84) 指定国(広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR). 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明細書

## データ送受信システム

## 技術分野

本発明は、クロック信号と該クロック信号に同期した複数のデータ信号とを転送するためのデータ送受信システムに関するものである。

## 背景技術

米国特許明細書第5, 418, 478号及び第5, 694, 060号には、ツイストペアケーブルを小振幅で駆動するためのCMOS (Complementary Metal Oxide Semiconductor) 差動ドライバが開示されている。

日本国特開平11-194748号公報に開示された液晶ディスプレイでは、液晶パネルの一边に沿って複数のデータドライバのチップが配置され、各チップ間に1本のクロック線と複数本のデータ線とが設けられる。これらデータドライバの各々は、1つのクロック入力と複数のデータ入力とを受け取り、液晶パネルへ所要のデータ電圧を供給するとともに、隣接するデータドライバへ1つのクロック出力と複数のデータ出力とを与える。

## 発明の開示

液晶ディスプレイ用のデータドライバでも、高速化及びEMI (Electro-Magnetic Interference) 低減を目的として、小振幅のデータ送受信が求められている。ところが、液晶ディスプレイの狭額縫化に伴ってデータドライバのチップサイズに関する制約が強くなってしまい、上記CMOS差動ドライバの技術を採用することができない。

本発明の目的は、小振幅のクロック転送及びデータ転送を小規模の回路構成で実現することにある。

この目的を達成するため、本発明によれば、データ送信時に、まずクロック信号の振幅制御を行い、その制御信号を用いてデータ信号の振幅制御を行う。

また、スイッチの駆動パルス幅制御により出力振幅制御を実現することで、広範囲な電源電圧に渡って出力振幅制御が行えると同時に、低消費電力化を実現できる。

更に、スイッチのオン時間を制御することで出力振幅制御を実現し、更にそのオン

時間をクロック及びデータの受信システムで利用することにより、正確なデータ受信を可能とする。

#### 図面の簡単な説明

図1は、本発明に係るデータ送受信システムを液晶パネルのデータドライバに利用した例を示すブロック図である。

図2は、図1中の個々のデータドライバの内部構成例を示すブロック図である。

図3は、図2中のクロック用送信システムの詳細構成例を示すブロック図である。

図4は、図3中の第一及び第二駆動パルス発生回路の詳細構成例を示す回路図である。

図5は、図4中の電圧制御遅延回路の詳細構成例を示す回路図である。

図6は、図3中の出力ハイレベル/ローレベル検出回路の詳細構成例を示す回路図である。

図7は、図2中の個々のデータ用送信システムの詳細構成例を示すブロック図である。

図8は、図3のクロック用送信システム及び図7のデータ用送信システムのドライバ出力電圧と電源電圧との関係を示す図である。

図9は、図2中のクロック用送信システムの他の詳細構成例を示すブロック図である。

図10は、図2中の個々のデータ用送信システムの他の詳細構成例を示すブロック図である。

図11は、図2中のクロック用受信システム及び個々のデータ用受信システムの詳細構成例を示すブロック図である。

図12は、図11の回路構成の動作を示すタイミングチャートである。

#### 発明を実施するための最良の形態

以下、添付図面を参照して、本発明の実施の形態を詳細に説明する。

図1は、本発明に係るデータ送受信システムを液晶パネルのデータドライバに利用した例を示している。図1において、1は液晶パネル、2は互いに縦続接続された複

数のデータドライバ（データ送受信システム）、3はクロック信号伝送路、4はデータ信号伝送路である。

図2は、図1中の個々のデータドライバ2の内部構成例を示している。図2のデータドライバ2は、クロック信号を受信するためのクロック用受信システム1.0と、各々対応するデータ信号を受信するための複数のデータ用受信システム1.1と、クロック用受信システム1.0から供給されたクロック信号を小振幅でクロック信号伝送路3へ送信するためのクロック用送信システム1.2と、各々対応するデータ用受信システム1.1から対応するシフトレジスタ1.4を介して供給されたデータ信号を小振幅でデータ信号伝送路4へ送信するための複数のデータ用送信システム1.3と、すべてのシフトレジスタ1.4から得たデジタルデータ信号をアナログ信号に変換するためのDA（Digital-to-Analog）変換器1.5と、当該アナログ信号を受けて液晶パネル1へ所要のデータ電圧を供給するためのバッファ回路1.6とを備えている。クロック用送信システム1.2及び複数のデータ用送信システム1.3は、各々第一電源Vdd（例えば2V）及び第二電源Vss（例えば0V）に接続されて動作するシステムである。

図3は、図2中のクロック用送信システム1.2の詳細構成例を示している。図3において、2.0はクロック信号入力端子、2.1はクロック信号伝送路3に接続されたドライバ出力端子である。

図3のクロック用送信システム1.2は、第一電源Vddとドライバ出力端子2.1との間に介在した第一スイッチ2.2と、ドライバ出力端子2.1と第二電源Vssとの間に介在した第二スイッチ2.3と、クロック信号入力端子2.0から与えられたクロック信号に応答して第一スイッチ2.2を駆動するパルスを発生する第一駆動パルス発生回路2.4と、クロック信号入力端子2.0から与えられたクロック信号に応答して第二スイッチ2.3を駆動するパルスを発生する第二駆動パルス発生回路2.5と、クロック信号入力端子2.0から与えられたクロック信号に応答してドライバ出力端子2.1へハイレベル電圧を出力する場合にオンし、かつドライバ出力端子2.1へローレベル電圧を出力する場合にオフする第三スイッチ3.0と、クロック信号入力端子2.0から与えられたクロック信号に応答してドライバ出力端子2.1へハイレベル電圧を出力する場合

にオフし、かつドライバ出力端子 21 へローレベル電圧を出力する場合にオンする第四スイッチ 31 と、第三スイッチ 30 を介してドライバ出力端子 21 へ第一基準電圧  $V_{r1}$  (例えば 1.5 V) を供給する第一バッファ 32 と、第四スイッチ 31 を介してドライバ出力端子 21 へ第二基準電圧  $V_{r2}$  (例えば 0.5 V) を供給する第二バッファ 33 とを有する。これらの要素は、クロック用受信システム 10 からクロック信号入力端子 20 を介して与えられたクロック信号に応答してクロック信号伝送路 3 を駆動するクロックドライバ回路を構成する。第一及び第二バッファ 32, 33 は、第一及び第二スイッチ 22, 23 が両方オフの場合にドライバ出力端子 21 のハイレベル電圧又はローレベル電圧をホールドする働きをするものである。

更に、図 3 のクロック用送信システム 12 は、ドライバ出力端子 21 のハイレベル電圧を検出する出力ハイレベル検出回路 26 と、ドライバ出力端子 21 のローレベル電圧を検出する出力ローレベル検出回路 27 と、出力ハイレベル検出回路 26 により検出されたハイレベル電圧と第一基準電圧  $V_{r1}$  との差を増幅して第一制御信号  $C_1$  として供給する第一増幅器 28 と、出力ローレベル検出回路 27 により検出されたローレベル電圧と第二基準電圧  $V_{r2}$  との差を増幅して第二制御信号  $C_2$  として供給する第二増幅器 29 とを有する。第一制御信号  $C_1$  は第一駆動パルス発生回路 24 に、第二制御信号  $C_2$  は第二駆動パルス発生回路 25 にそれぞれフィードバックされる。つまり、第一駆動パルス発生回路 24 は、ドライバ出力端子 21 のハイレベル電圧が第一基準電圧  $V_{r1}$  と一致するように第一スイッチ 22 を駆動するパルス幅を第一制御信号  $C_1$  により制御される。第二駆動パルス発生回路 25 は、ドライバ出力端子 21 のローレベル電圧が第二基準電圧  $V_{r2}$  と一致するように第二スイッチ 23 を駆動するパルス幅を第二制御信号  $C_2$  により制御される。

クロック信号入力端子 20 の電圧がハイレベルに立ち上ると、第一駆動パルス発生回路 24 が動作して第一制御信号  $C_1$  で指定された時間だけ第一スイッチ 22 をオンさせるので、ドライバ出力端子 21 の電圧レベルは上昇する。逆にクロック信号入力端子 20 の電圧がローレベルに立ち下ると、第二駆動パルス発生回路 25 が動作して第二制御信号  $C_2$  で指定された時間だけ第二スイッチ 23 をオンさせるので、ド

ライバ出力端子 21 の電圧レベルは下降する。このようにして、出力ハイレベル及びローレベル検出回路 26, 27 並びに第一及び第二増幅器 28, 29 から構成されるフィードバック回路は、クロック信号伝送路 3 へ送信するクロック信号のハイレベル電圧を第一電源  $V_{dd}$  の電圧より低い第一基準電圧  $V_{r1}$  に、クロック信号伝送路 3 へ送信するクロック信号のローレベル電圧を第二電源  $V_{ss}$  の電圧より高い第二基準電圧  $V_{r2}$  にそれぞれ制御するのである。

以上のようなパルス幅制御方式は、デジタル回路と同様に低消費電力化かつ高速化が可能であり、かつアナログバッファ（例えばボルテージフォロワ回路）のように正確に出力電圧値を制御できるという利点がある。なお、図 3 中の第一及び第二バッファ 32, 33 はアナログバッファであるが、ライバ出力端子 21 の電圧を安定に保持することだけが目的であり、これらのバッファ 32, 33 でライバ出力端子 21 の負荷を充放電するわけではない。したがって、クロック送信システム 12 の消費電力を非常に低く抑えることが可能である。

図 4 は、図 3 中の第一及び第二駆動パルス発生回路 24, 25 の詳細構成例を示している。ここでは、第一スイッチ 22 が P チャネル型 MOS トランジスタで、第二スイッチ 23 が N チャネル型 MOS トランジスタでそれぞれ構成されるものとしている。図 4 によれば、第一駆動パルス発生回路 24 は、電圧制御遅延回路 60 と、反転回路 61 と、OR 回路 62 とで構成される。また、第二駆動パルス発生回路 25 は、電圧制御遅延回路 63 と、反転回路 64 と、AND 回路 65 とで構成される。

図 5 は、図 4 中の電圧制御遅延回路 60 の詳細構成例を示している。図 5 によれば、電圧制御遅延回路 60 は、1 組の N チャネル型 MOS トランジスタ 66 及び P チャネル型 MOS トランジスタ 67 と、複数の電流制御インバータ 68 とで構成される。

図 6 は、図 3 中の出力ハイレベル/ローレベル検出回路 26, 27 の詳細構成例を示している。出力ハイレベル/ローレベル検出回路 26, 27 は、第一及び第二サンプルホールド回路 50, 51 を直列接続すれば簡単に構成できる。図 6 において、52 は反転回路、53 はスイッチ、54 は容量である。出力ハイレベル検出回路 26 の場合には、第一駆動パルス発生回路 24 から出力される駆動パルスを用いて、駆動パ

ルスが発生している間に第一サンプルホールド回路 50 のスイッチをオンするように制御すれば、ドライバ出力端子 21 のハイレベル電圧を検出することができる。出力ローレベル検出回路 27 の場合には、第二駆動パルス発生回路 25 から出力される駆動パルスを用いて、駆動パルスが発生している間に第一サンプルホールド回路 50 のスイッチをオンするように制御すれば、ドライバ出力端子 21 のローレベル電圧を検出することができる。

図 7 は、図 2 中の個々のデータ用送信システム 13 の詳細構成例を示している。図 7において、20a はデータ信号入力端子、21a はデータ信号伝送路 4 に接続されたドライバ出力端子である。

図 7 のデータ用送信システム 13 は、第一電源 Vdd とドライバ出力端子 21a との間に介在した第五スイッチ 22a と、ドライバ出力端子 21a と第二電源 Vss との間に介在した第六スイッチ 23a と、データ信号入力端子 20a から与えられたデータ信号に応答して第五スイッチ 22a を駆動するパルスを発生する第三駆動パルス発生回路 24a と、データ信号入力端子 20a から与えられたデータ信号に応答して第六スイッチ 23a を駆動するパルスを発生する第四駆動パルス発生回路 25a と、データ信号入力端子 20a から与えられたデータ信号に応答してドライバ出力端子 21a へハイレベル電圧を出力する場合にオンし、かつドライバ出力端子 21a へローレベル電圧を出力する場合にオフする第七スイッチ 30a と、データ信号入力端子 20a から与えられたデータ信号に応答してドライバ出力端子 21a へハイレベル電圧を出力する場合にオフし、かつドライバ出力端子 21a へローレベル電圧を出力する場合にオンする第八スイッチ 31a と、第七スイッチ 30a を介してドライバ出力端子 21a へ第一基準電圧 Vr1 を供給する第三バッファ 32a と、第八スイッチ 31a を介してドライバ出力端子 21a へ第二基準電圧 Vr2 を供給する第四バッファ 33a とを有する。これらの要素は、データ用受信システム 11 からシフトレジスタ 14 及びデータ信号入力端子 20a を介して与えられたデータ信号に応答してデータ信号伝送路 4 を駆動するデータドライバ回路を構成する。第三及び第四バッファ 32a, 33a は、第五及び第六スイッチ 22a, 23a が両方オフの場合にドライバ出力端

子 21 a のハイレベル電圧又はローレベル電圧をホールドする働きをするものである。

第三及び第四駆動パルス発生回路 24 a, 25 a は、図 3 のクロック用送信システム 12 で生成された第一及び第二制御信号 C1, C2 をそれぞれ受け取る。第三駆動パルス発生回路 24 a は、ドライバ出力端子 21 a のハイレベル電圧が第一基準電圧 Vr1 と一致するように第五スイッチ 22 a を駆動するパルス幅を第一制御信号 C1 により制御される。第四駆動パルス発生回路 25 a は、ドライバ出力端子 21 a のローレベル電圧が第二基準電圧 Vr2 と一致するように第六スイッチ 23 a を駆動するパルス幅を第二制御信号 C2 により制御される。つまり、前述のクロック用送信システム 12 は出力ハイレベル及びローレベル検出回路 26, 27 並びに第一及び第二増幅器 28, 29 から構成されるフィードバック回路を有するが、これに対応するフィードバック回路を個々のデータ用送信システム 13 に設けなくとも、クロック信号伝送路 3 と同様にデータ信号伝送路 4 を小振幅駆動できるのである。

図 8 は、図 3 のクロック用送信システム 12 及び図 7 のデータ用送信システム 13 のドライバ出力電圧と電源電圧との関係を示している。図 8 によれば、第一電源 Vdd の電圧が 2 V 程度の低い電圧でも、1 V 程度の小振幅データ伝送が可能であることが分かる。上記パルス幅制御によれば、原理的にいかなるドライバ出力電圧を作り出すことができる。第一電源 Vdd の電圧が 4 V 程度に上がっても同様である。

図 9 は、図 2 中のクロック用送信システム 12 の他の詳細構成例を示している。図 9 によれば、第一及び第二スイッチ 22, 23 が単一の（第一）駆動パルス発生回路 24 により駆動される。第一電源 Vdd と第一スイッチ 22 との間に電流源 70 が、第二スイッチ 23 と第二電源 Vss との間に電圧制御電流源 71 がそれぞれ介在している。第一増幅器 35 は、出力ハイレベル及びローレベル検出回路 26, 27 により検出されたドライバ出力端子 21 におけるクロック信号の振幅と、所望の出力振幅 (Vr1 - Vr2) との差を増幅して第一制御信号 C3 として供給する。第二増幅器 36 は、出力ローレベル検出回路 27 により検出されたローレベル電圧と第二基準電圧 Vr2 との差を増幅して第二制御信号 C4 として供給する。そして、第一駆動パルス発生回路 24 は、ドライバ出力端子 21 におけるクロック信号の振幅が前記所望の

出力振幅 ( $V_{r1} - V_{r2}$ ) と一致するように第一及び第二スイッチ 22, 23 を駆動するパルス幅をそれぞれ第一制御信号 C3 により制御される。また、第二制御信号 C4 が電圧制御電流源 71 の駆動能力制御端子 37 に与えられ、ドライバ出力端子 21 のローレベル電圧が第二基準電圧  $V_{r2}$  と一致するように電圧制御電流源 71 の駆動能力が第二制御信号 C4 により制御される。その他の点は、図 3 の構成と同様である。なお、図 9 中の PLS は第一駆動パルス発生回路 24 が生成した駆動パルスを、OCLK は出力クロック信号をそれぞれ表している。

図 10 は、図 2 中の個々のデータ用送信システム 13 の他の詳細構成例を示している。図 10 によれば、第五及び第六スイッチ 22a, 23a が単一の（第二）駆動パルス発生回路 24a により駆動される。第一電源 Vdd と第五スイッチ 22a との間に電流源 70a が、第六スイッチ 23a と第二電源 Vss との間に電圧制御電流源 71a がそれぞれ介在している。第二駆動パルス発生回路 24a 及び電圧制御電流源 71a は、図 9 のクロック用送信システム 12 で生成された第一及び第二制御信号 C3, C4 をそれぞれ受け取る。そして、第二駆動パルス発生回路 24a は、ドライバ出力端子 21a におけるデータ信号の振幅が前記所望の出力振幅 ( $V_{r1} - V_{r2}$ ) と一致するように第五及び第六スイッチ 22a, 23a を駆動するパルス幅をそれぞれ第一制御信号 C3 により制御される。また、第二制御信号 C4 が電圧制御電流源 71a の駆動能力制御端子 37a に与えられ、ドライバ出力端子 21a のローレベル電圧が第二基準電圧  $V_{r2}$  と一致するように電圧制御電流源 71a の駆動能力が第二制御信号 C4 により制御される。その他の点は、図 7 の構成と同様である。

なお、図 9 においてドライバ出力端子 21 の電圧レベルは第一及び第二バッファ 32, 33 によっても決定できるので、電流源 70、電圧制御電流源 71 及び第二増幅器 36 は省略可能である。また、図 10 においてドライバ出力端子 21a の電圧レベルは第三及び第四バッファ 32a, 33a によっても決定できるので、電流源 70a 及び電圧制御電流源 71a も省略可能である。

図 11 は、図 2 中のクロック用受信システム 10 及び個々のデータ用受信システム 11 の詳細構成例を示している。図 11 において、40 は入力クロック信号 IC

Kのバッファ（第一バッファ）、41は電圧制御型の遅延回路、42は入力データ信号IDTのバッファ（第二バッファ）、43はデータのラッチである。遅延回路41は、第一バッファ40が受信した入力クロック信号ICKを、クロック用送信システム12から与えられた第一制御信号C3に応じた量だけ遅延させる。DCKは、この遅延回路41から出力された遅延クロック信号を表している。ラッチ43は、第二バッファ42が受信した入力データ信号IDTを遅延クロック信号DCKに同期してサンプリングする。

図12は、図11の回路構成の動作を示している。Twは図9中の第一駆動パルス発生回路24が生成した駆動パルスPLSのパルス幅である。クロック信号及びデータ信号の伝送路3、4に特性上の差異がないとすれば、入力クロック信号ICKと入力データ信号IDTとはそれぞれ受信システム10、11で受信されたときには図12に示すように遷移タイミングがそろっており、このままでは入力クロック信号ICKによる入力データ信号IDTのラッチを実行できない。そこで、遅延回路41で駆動パルス幅Twの時間だけ入力クロック信号ICKを遅延させて遅延クロック信号DCKを得れば、ラッチ43が遅延クロック信号DCKの遷移に同期して入力データ信号IDTを正しくラッチすることができる。したがって、PLL（Phase-Locked Loop）回路等の大規模回路は不要である。

#### 産業上の利用の可能性

以上説明してきたとおり、本発明に係るデータ送受信システムは、小振幅のクロック転送及びデータ転送を小規模の回路構成で実現できるものであるので、液晶ディスプレイ用のデータドライバ等に有用である。

## 請求の範囲

1. クロック信号と該クロック信号に同期した複数のデータ信号とを転送するためのデータ送受信システムであって、

前記クロック信号を受信するためのクロック用受信システムと、

各々前記複数のデータ信号のうちの対応するデータ信号を受信するための複数のデータ用受信システムと、

前記クロック用受信システムから供給されたクロック信号を小振幅でクロック信号伝送路へ送信するためのクロック用送信システムと、

各々前記複数のデータ用受信システムのうちの対応するデータ用受信システムから供給されたデータ信号を小振幅でデータ信号伝送路へ送信するための複数のデータ用送信システムとを備え、

前記クロック用送信システム及び前記複数のデータ用送信システムは、各々第一電源及び第二電源に接続されて動作するシステムであって、

前記クロック用送信システムは、

前記クロック用受信システムから供給されたクロック信号に応答して前記クロック信号伝送路を駆動するクロックドライバ回路と、

前記クロック信号伝送路のハイレベル電圧とローレベル電圧とを観測して、前記クロック信号伝送路へ送信するクロック信号のハイレベル電圧を前記第一電源の電圧より低い第一基準電圧に、前記クロック信号伝送路へ送信するクロック信号のローレベル電圧を前記第二電源の電圧より高い第二基準電圧にそれぞれ制御するように、前記クロックドライバ回路に与える少なくとも一つの制御信号を生成するフィードバック回路とを有し、

前記データ用送信システムの各々は、

前記フィードバック回路が生成した制御信号により前記データ信号伝送路へ送信すべきデータ信号について同様の振幅制御がなされつつ、前記複数のデータ用受信システムのうちの対応するデータ用受信システムから供給されたデータ信号に応答して前記データ信号伝送路を駆動するデータドライバ回路を有することを特徴とするデータ

送受信システム。

2. 請求項1記載のデータ送受信システムにおいて、

前記クロックドライバ回路は、

前記第一電源と前記クロック信号伝送路との間に介在した第一スイッチと、

前記クロック信号伝送路と前記第二電源との間に介在した第二スイッチと、

前記第一スイッチを駆動する第一駆動パルス発生回路と、

前記第二スイッチを駆動する第二駆動パルス発生回路と、

前記クロック信号伝送路へハイレベル電圧を出力する場合にオンし、かつ前記クロック信号伝送路へローレベル電圧を出力する場合にオフする第三スイッチと、

前記クロック信号伝送路へハイレベル電圧を出力する場合にオフし、かつ前記クロック信号伝送路へローレベル電圧を出力する場合にオンする第四スイッチと、

前記第三スイッチを介して前記クロック信号伝送路へ前記第一基準電圧を供給する第一バッファと、

前記第四スイッチを介して前記クロック信号伝送路へ前記第二基準電圧を供給する第二バッファとを有し、

前記フィードバック回路は、

前記クロック信号伝送路のハイレベル電圧及びローレベル電圧を検出する検出回路と、

前記検出回路により検出されたハイレベル電圧及びローレベル電圧と前記第一及び第二基準電圧とのそれぞれの差を增幅して第一及び第二制御信号として供給する第一及び第二增幅器とを有し、

前記第一駆動パルス発生回路は、前記クロック信号伝送路のハイレベル電圧が前記第一基準電圧と一致するように前記第一スイッチを駆動するパルス幅を前記第一制御信号により制御され、

前記第二駆動パルス発生回路は、前記クロック信号伝送路のローレベル電圧が前記第二基準電圧と一致するように前記第二スイッチを駆動するパルス幅を前記第二制御信号により制御されることを特徴とするデータ送受信システム。

3. 請求項 2 記載のデータ送受信システムにおいて、

前記データドライバ回路の各々は、

前記第一電源と前記データ信号伝送路との間に介在した第五スイッチと、

前記データ信号伝送路と前記第二電源との間に介在した第六スイッチと、

前記第五スイッチを駆動する第三駆動パルス発生回路と、

前記第六スイッチを駆動する第四駆動パルス発生回路と、

前記データ信号伝送路へハイレベル電圧を出力する場合にオンし、かつ前記データ信号伝送路へローレベル電圧を出力する場合にオフする第七スイッチと、

前記データ信号伝送路へハイレベル電圧を出力する場合にオフし、かつ前記データ信号伝送路へローレベル電圧を出力する場合にオンする第八スイッチと、

前記第七スイッチを介して前記データ信号伝送路へ前記第一基準電圧を供給する第三バッファと、

前記第八スイッチを介して前記データ信号伝送路へ前記第二基準電圧を供給する第四バッファとを有し、

前記第三駆動パルス発生回路は、前記データ信号伝送路のハイレベル電圧が前記第一基準電圧と一致するように前記第五スイッチを駆動するパルス幅を前記第一制御信号により制御され、

前記第四駆動パルス発生回路は、前記データ信号伝送路のローレベル電圧が前記第二基準電圧と一致するように前記第六スイッチを駆動するパルス幅を前記第二制御信号により制御されることを特徴とするデータ送受信システム。

4. 請求項 1 記載のデータ送受信システムにおいて、

前記クロックドライバ回路は、

前記第一電源と前記クロック信号伝送路との間に介在した第一スイッチと、

前記クロック信号伝送路と前記第二電源との間に介在した第二スイッチと、

前記第一及び第二スイッチを駆動する第一駆動パルス発生回路と、

前記クロック信号伝送路へハイレベル電圧を出力する場合にオンし、かつ前記クロック信号伝送路へローレベル電圧を出力する場合にオフする第三スイッチと、

前記クロック信号伝送路へハイレベル電圧を出力する場合にオフし、かつ前記クロック信号伝送路へローレベル電圧を出力する場合にオンする第四スイッチと、

前記第三スイッチを介して前記クロック信号伝送路へ前記第一基準電圧を供給する第一バッファと、

前記第四スイッチを介して前記クロック信号伝送路へ前記第二基準電圧を供給する第二バッファとを有し、

前記フィードバック回路は、

前記クロック信号伝送路上のクロック信号の振幅を検出するための回路手段と、

前記検出された振幅と所望の出力振幅との差を増幅して第一制御信号として供給する第一増幅器とを有し、

前記第一駆動パルス発生回路は、前記クロック信号伝送路上のクロック信号の振幅が前記所望の出力振幅と一致するように前記第一及び第二スイッチを駆動するパルス幅をそれぞれ前記第一制御信号により制御されることを特徴とするデータ送受信システム。

5. 請求項4記載のデータ送受信システムにおいて、

前記データドライバ回路の各々は、

前記第一電源と前記データ信号伝送路との間に介在した第五スイッチと、

前記データ信号伝送路と前記第二電源との間に介在した第六スイッチと、

前記第五及び第六スイッチを駆動する第二駆動パルス発生回路と、

前記データ信号伝送路へハイレベル電圧を出力する場合にオンし、かつ前記データ信号伝送路へローレベル電圧を出力する場合にオフする第七スイッチと、

前記データ信号伝送路へハイレベル電圧を出力する場合にオフし、かつ前記データ信号伝送路へローレベル電圧を出力する場合にオンする第八スイッチと、

前記第七スイッチを介して前記データ信号伝送路へ前記第一基準電圧を供給する第三バッファと、

前記第八スイッチを介して前記データ信号伝送路へ前記第二基準電圧を供給する第四バッファとを有し、

前記第二駆動パルス発生回路は、前記データ信号伝送路上のデータ信号の振幅が前記所望の出力振幅と一致するように前記第五及び第六スイッチを駆動するパルス幅をそれぞれ前記第一制御信号により制御されることを特徴とするデータ送受信システム。

6. 請求項4記載のデータ送受信システムにおいて、

前記フィードバック回路は、前記クロック信号伝送路のローレベル電圧と前記第二基準電圧との差を増幅して第二制御信号として供給する第二増幅器を更に有し、

前記クロックドライバ回路は、前記第二スイッチと前記第二電源との間に介在した第一電圧制御電流源を更に有し、

前記クロック信号伝送路のローレベル電圧が前記第二基準電圧と一致するように前記第一電圧制御電流源の駆動能力が前記第二制御信号により制御されることを特徴とするデータ送受信システム。

7. 請求項6記載のデータ送受信システムにおいて、

前記データドライバ回路の各々は、

前記第一電源と前記データ信号伝送路との間に介在した第五スイッチと、

前記データ信号伝送路と前記第二電源との間に直列に介在した第六スイッチ及び第二電圧制御電流源と、

前記第五及び第六スイッチを駆動する第二駆動パルス発生回路と、

前記データ信号伝送路へハイレベル電圧を出力する場合にオンし、かつ前記データ信号伝送路へローレベル電圧を出力する場合にオフする第七スイッチと、

前記データ信号伝送路へハイレベル電圧を出力する場合にオフし、かつ前記データ信号伝送路へローレベル電圧を出力する場合にオンする第八スイッチと、

前記第七スイッチを介して前記データ信号伝送路へ前記第一基準電圧を供給する第三バッファと、

前記第八スイッチを介して前記データ信号伝送路へ前記第二基準電圧を供給する第四バッファとを有し、

前記第二駆動パルス発生回路は、前記データ信号伝送路上のデータ信号の振幅が前記所望の出力振幅と一致するように前記第五及び第六スイッチを駆動するパルス幅を

それぞれ前記第一制御信号により制御され、

前記データ信号伝送路のローレベル電圧が前記第二基準電圧と一致するように前記第二電圧制御電流源の駆動能力が前記第二制御信号により制御されることを特徴とするデータ送受信システム。

8. 請求項4記載のデータ送受信システムにおいて、

前記クロック用受信システムは、前記受信したクロック信号を前記フィードバック回路が生成した第一制御信号に応じた量だけ遅延させる遅延回路を有し、

前記複数のデータ用受信システムの各々は、前記受信したデータ信号を、前記遅延回路から出力された遅延クロック信号に同期してサンプリングするラッチを有することを特徴とするデータ送受信システム。

FIG. 1

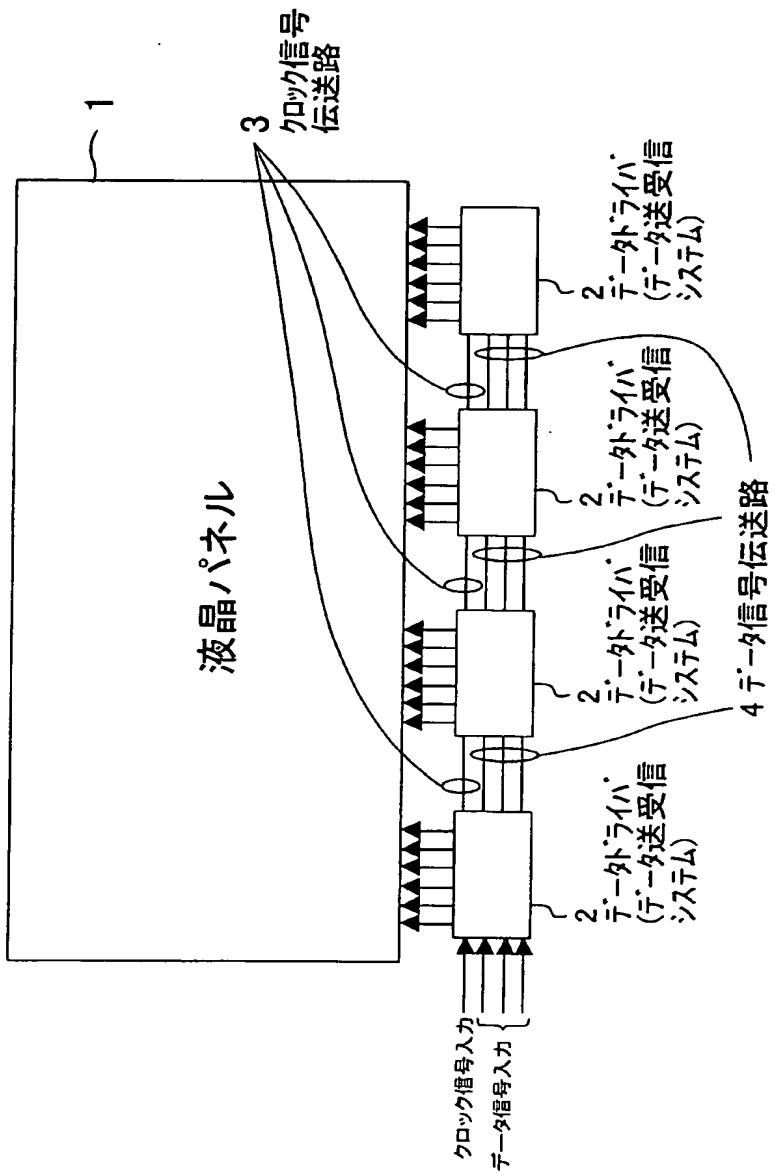


FIG. 2

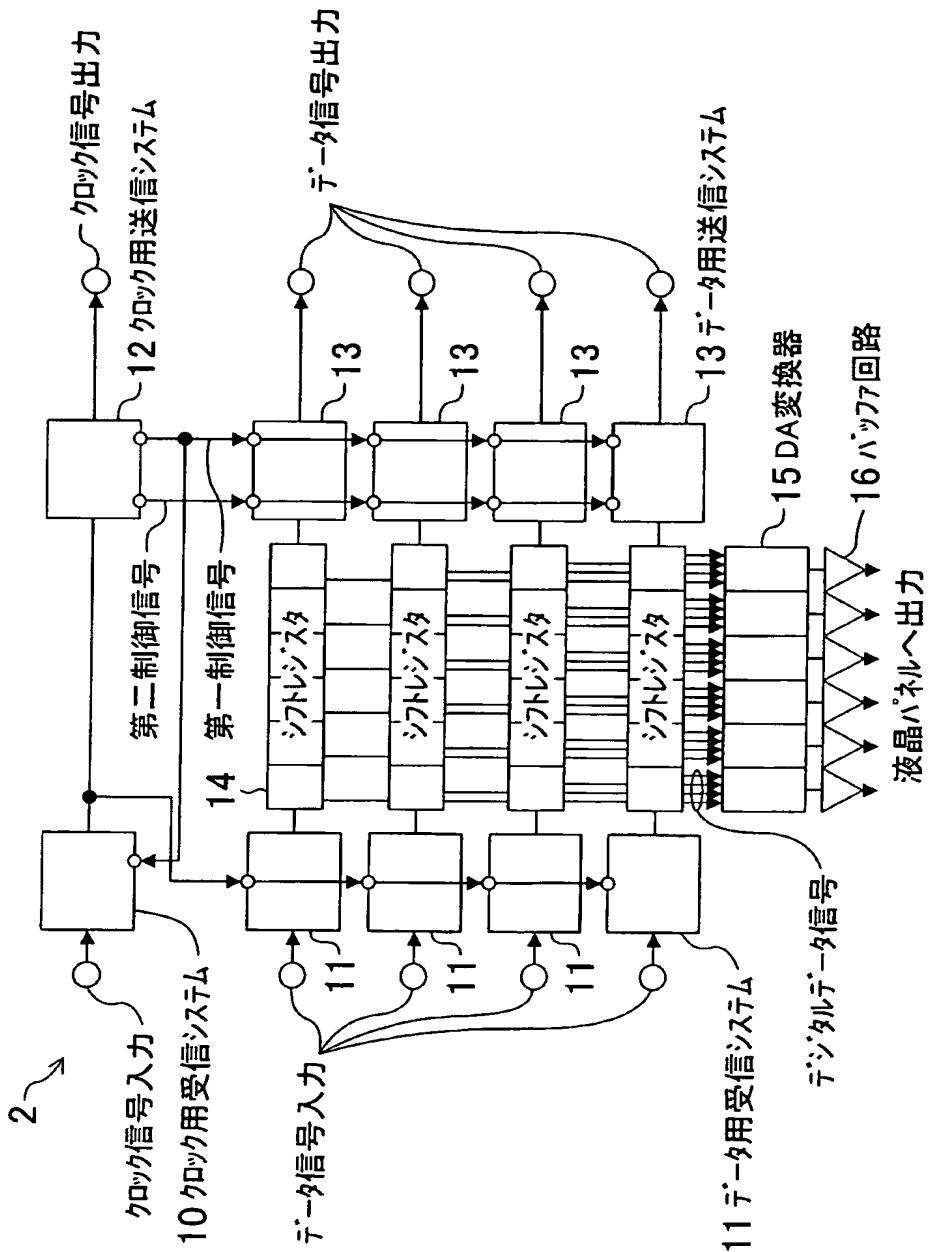


FIG. 3

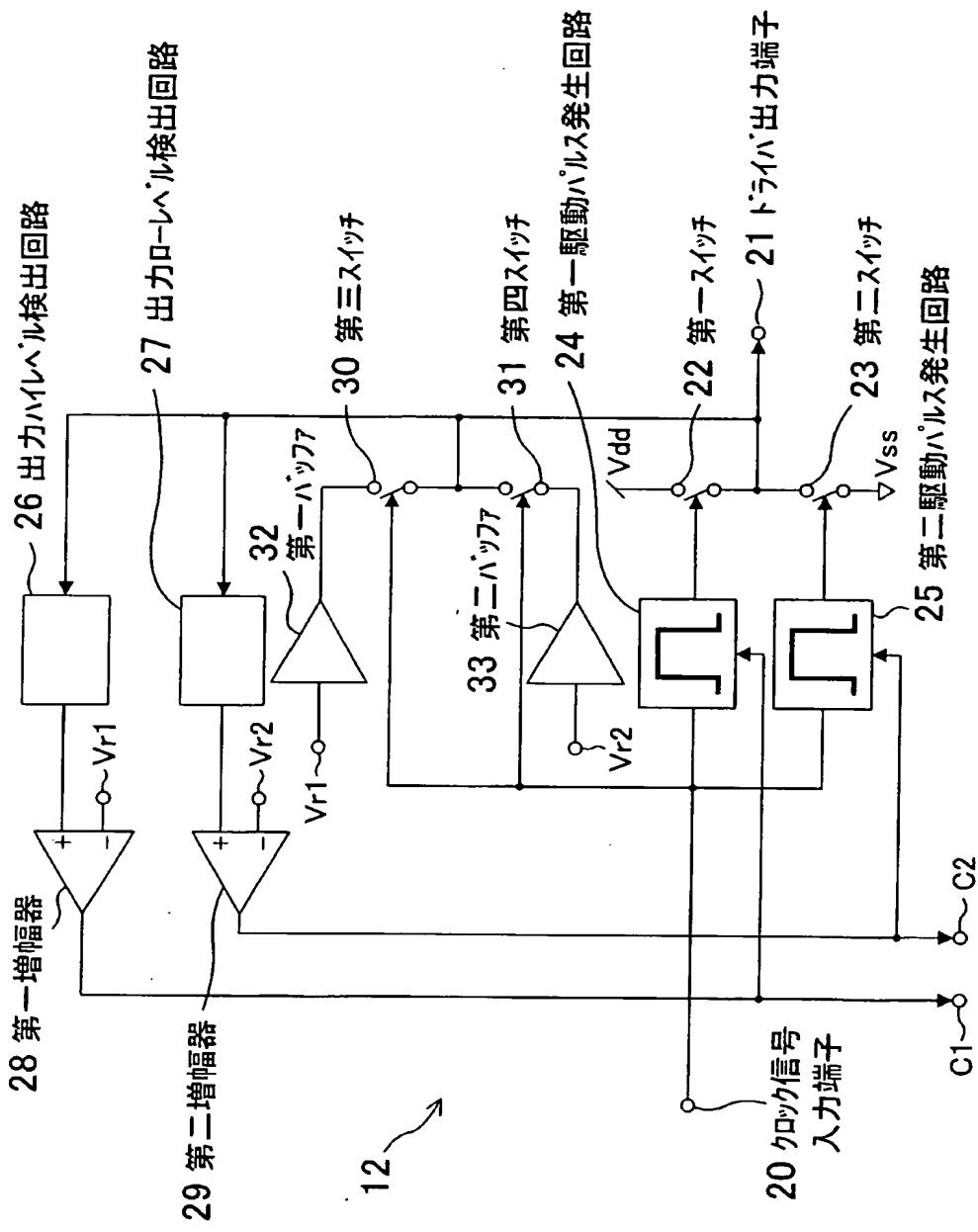


FIG. 4

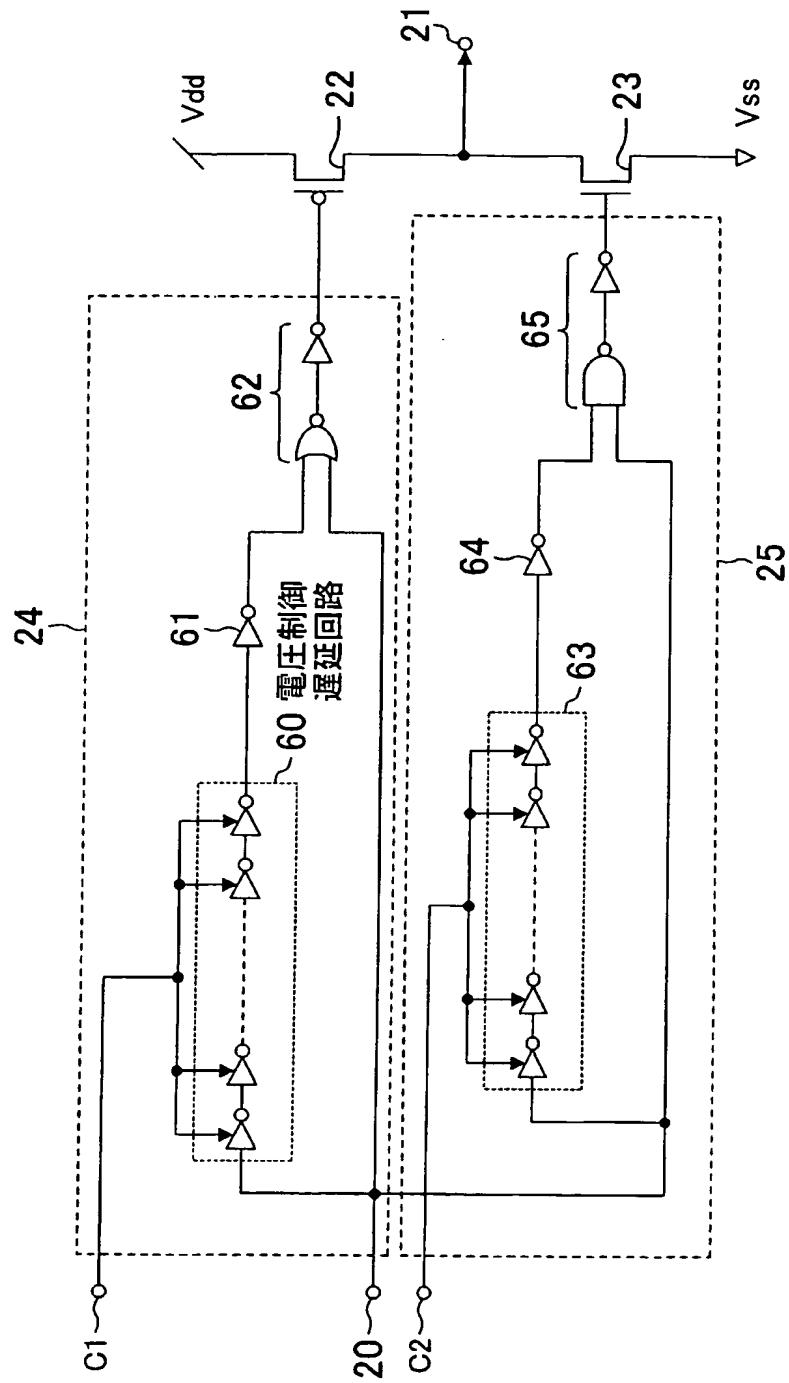


FIG. 5

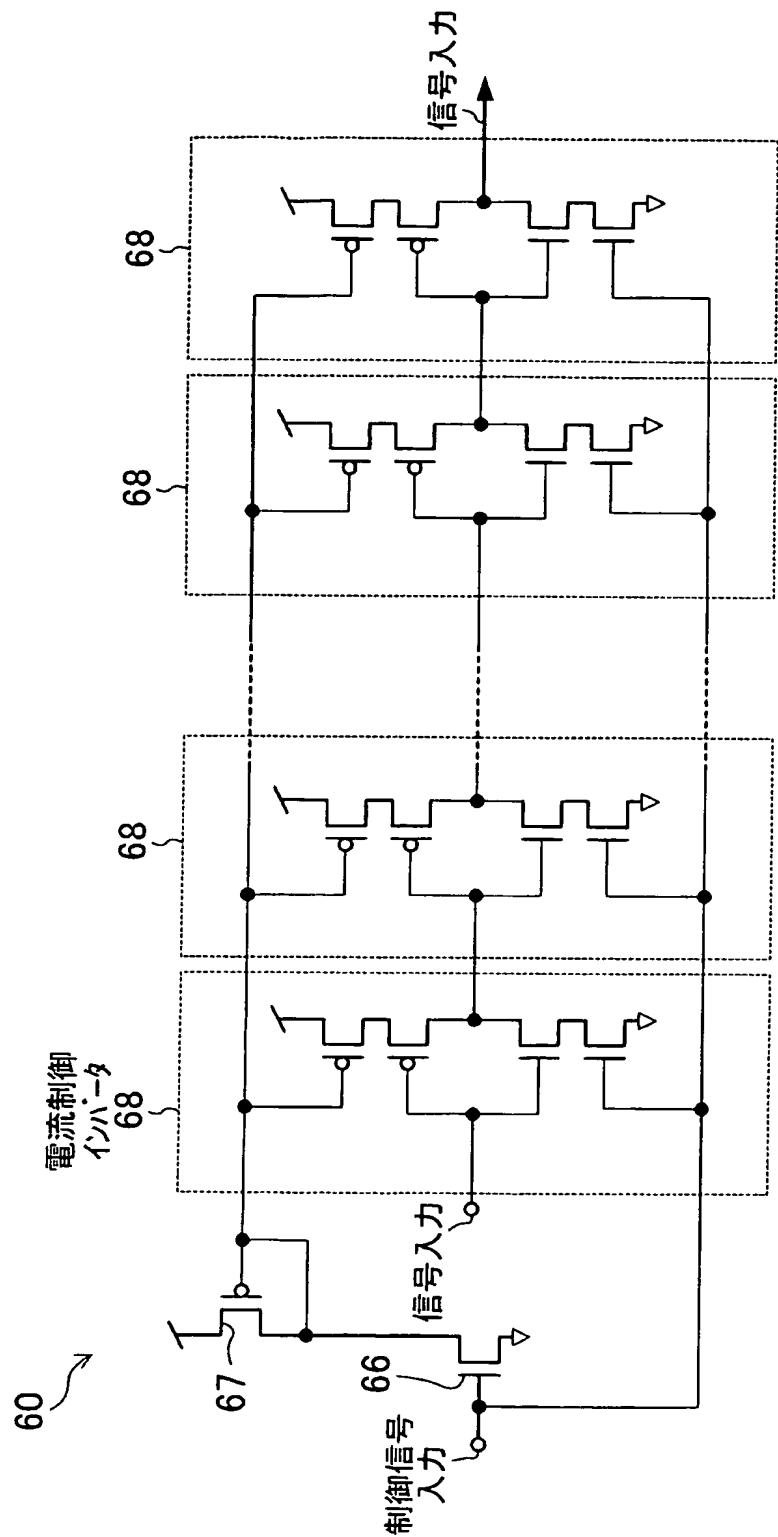


FIG. 6

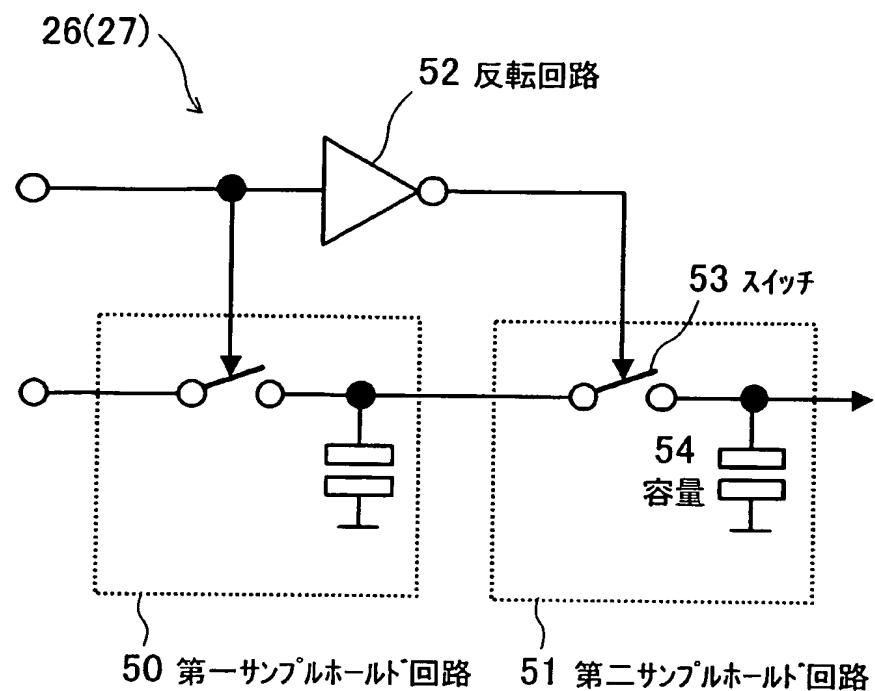


FIG. 7

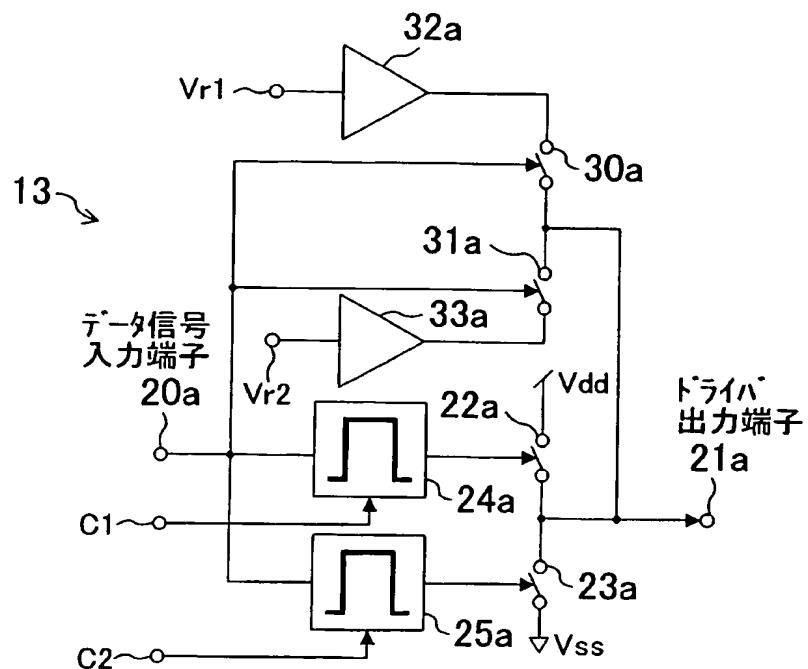
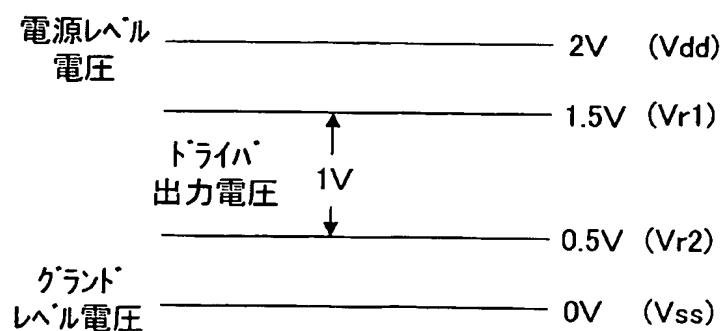


FIG. 8



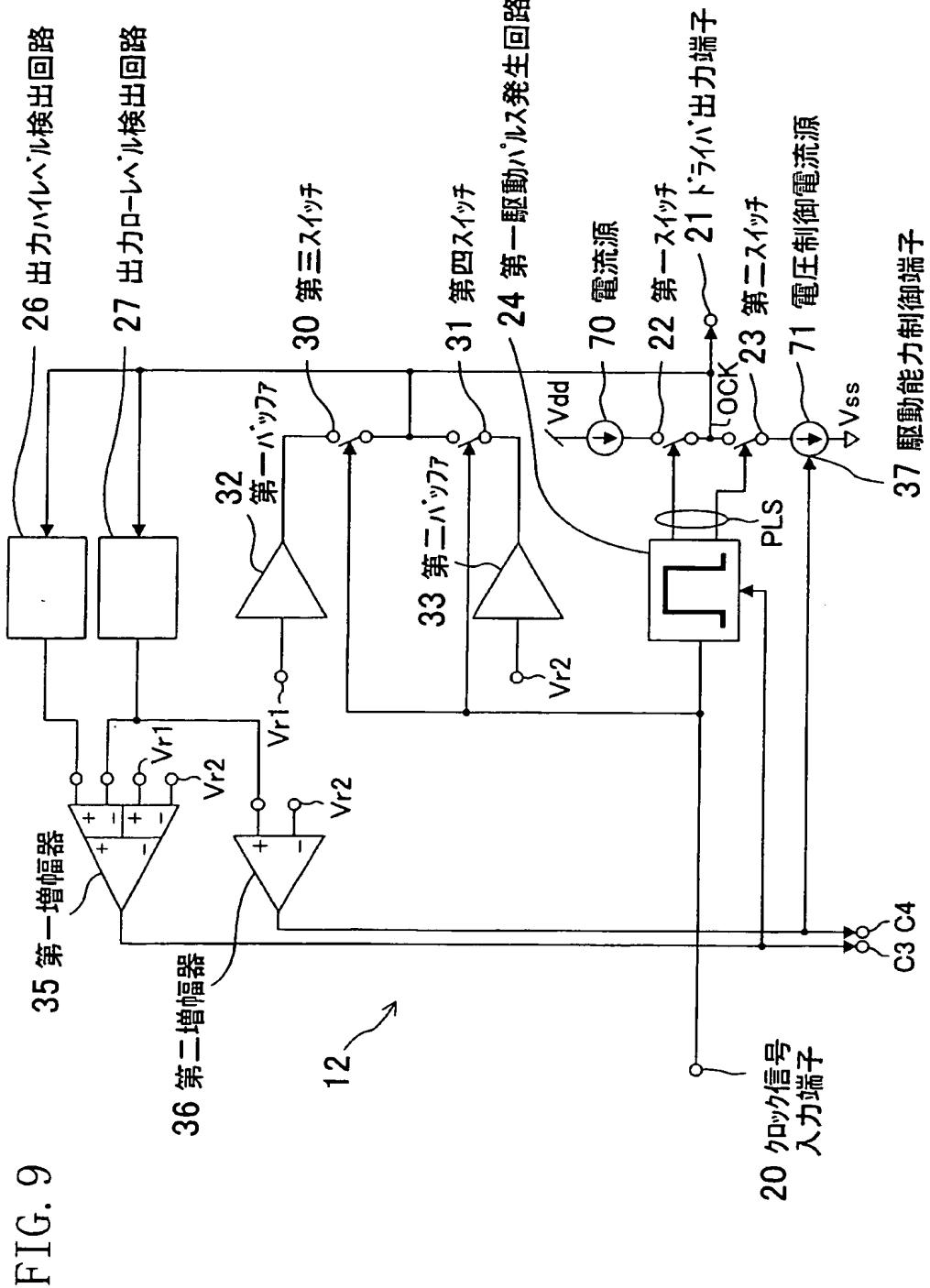


FIG. 10

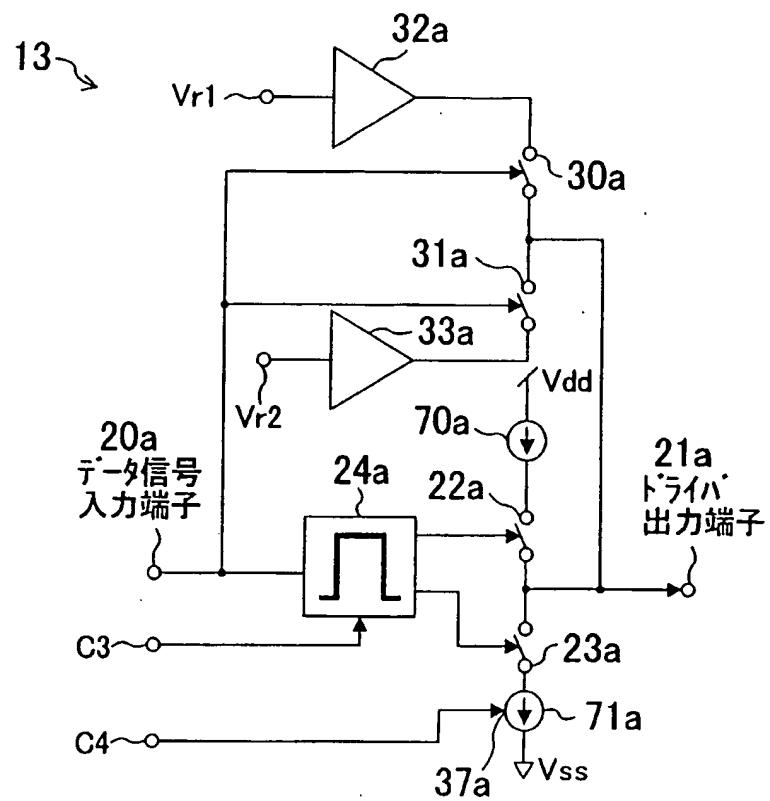
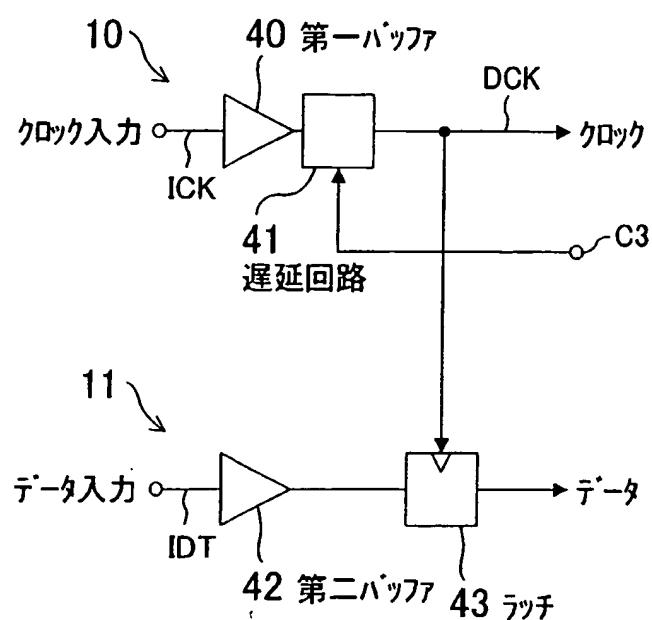


FIG. 11



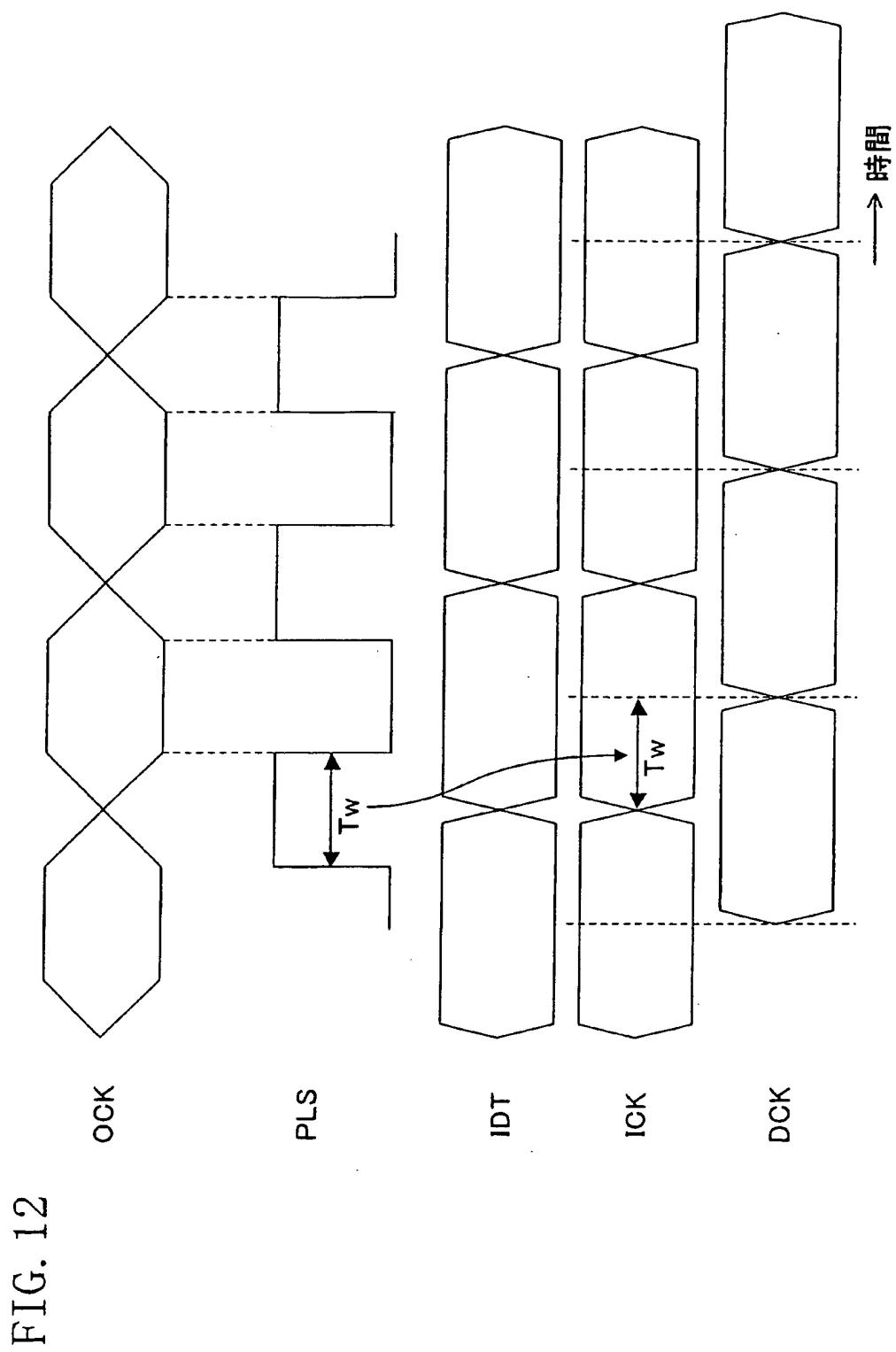


FIG. 12